# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

08-139355

(43) Date of publication of application: 31.05.1996

(51)Int.Cl.

H01L 31/10

(21)Application number: 06-273816

(71)Applicant: NEC CORP

(22)Date of filing:

08.11.1994

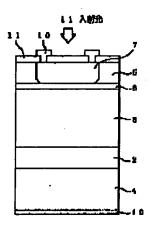
(72)Inventor: TSUJI MASAYOSHI

# (54) SEMICONDUCTOR LIGHT SENSITIVE ELEMENT

## (57)Abstract:

PURPOSE: To obtain a PIN-PD with a large light receiving diameter, high quantum efficiency and wide band by including two or more p-n junctions in the structure of a semiconductor light sensitive element, and using GaAs sensitive to light of specific bands to from the element's light absorption layer.

CONSTITUTION: A n+-type GaAs buffer layer 2, a n--type GaAs light absorption layer 3, a n--type AlGaAs piling-up preventive layer 6, an n-type AlGaInP window layer 3, a p+-type light receiving region 7 and a SiNx film are formed on a p-type GaAs substrate 4, and the p-side electrode 10 of the substrate 10 is also formed. The GaAs light absorption layer 3 is so formed that it will be sensitive to 0.6µmband light. Since the widely gapped n-type AlGaInP window layer 5 is placed on the surface side, therefore, 0.6µm light will be absorbed not into the n-type AlGaInP window layer 5 but only into the GaAs light absorption layer 3. Thus photo carriers do not absorb light in the neutral region, which improves external quantum efficiency.



# **LEGAL STATUS**

[Date of request for examination]

08.11.1994

[Date of sending the examiner's decision of

13.05.1997

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

[Date of extinction of right]

2007/10/09

# (19) 日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号

# 特開平8-139355

(43)公開日 平成8年(1996)5月31日

(51) Int.Cl.<sup>6</sup>

識別配号 庁内整理番号 FΙ

技術表示箇所

HO1L 31/10

HO1L 31/10

請求項の数4 OL (全 5 頁) 審査請求 有

(21)出願番号

特願平6-273816

(22)出願日

平成6年(1994)11月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 辻 正芳

東京都港区芝五丁目7番1号 日本電気株

式会社内

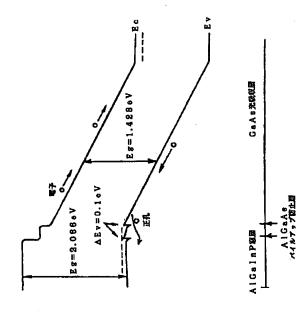
(74)代理人 弁理士 京本 直樹 (外2名)

# (54) 【発明の名称】 半導体受光素子

### (57)【要約】

【目的】 プラスチックファイバーを利用した短距離光 通信に使用される 0. 6 μ m 帯の受光素子において、大 受光径・高速特性・高量子効率を有する素子を提供す る。

【構成】 光吸収層に i - G a A s 、表面再結合防止用 の窓層としてAIGaInPを、また正孔のパイルアッ プ防止用として両者の間にAlGaAsを挿入した化合 物半導体材料によるPIN-PDを構成する。また、上 記光通信には、アライメントフリーにするためより大き な受光径が必要とされるが、これによる容量増加と素子 帯域がトレードオフの関係にあり、大受光径・広帯域を 実現することが難しい。そこで、素子構造内に2つのp n接合を形成することで容量の低減を図り、素子特性を 改善した。



### 【特許請求の範囲】

【請求項1】半導体基板上に光吸収層を積層して形成す る半導体受光素子において、前記半導体受光素子の構造 内に2つ以上のpn接合を有することを特徴とする半導 体受光案子。

【請求項2】前記半導体受光素子は光吸収層が0.6μ m帯光に感度を有するG a A s で形成することを特徴と する請求項1記載の半導体受光素子。

【請求項3】前記半導体受光素子はウインドー構造を持 ち、表面再結合を抑制する前記ウインドー構造がAlG a In Pで形成されていることを特徴とする請求項2記 載の半導体受光素子。

【請求項4】 前記半導体受光素子はG a A s 光吸収層と AIGaInP窓層との間にAIGaAs層を配置した ことを特徴とする請求項3記載の半導体受光素子。

#### 【発明の詳細な説明】

[0001]

【産業上の利用分野】本発明は、光通信や光情報処理、 光計測等で用いられる半導体受光素子において、主にP ある。

#### [0002]

【従来の技術】近年、GI型プラスチックファイバーを 利用した 0. 6 μm 帯光短距離光通信の研究が検討され ている。GIプラスチックファイバーを用いた場合、伝 送ロスが大きいので長距離の伝送には不向きであるが、 ビル内あるいはコンピュータ間での短距離光通信におい ては、極めて安価であり、且つ、アライメントが容易と いう利点から期待されている。この短距離光通信に用い られる受光素子の候補としては、従来、1 μm 帯の光通 30 信用半導体受光素子として利用されているSiを材料と したPIN型受光素子(「光通信素子工学」、米津氏 著、工学図書株式会社刊、364頁(1983)に記 載) が挙げられている。この半導体受光素子は、内部利 得効果は有しないが、構造が簡単であり且つ比較的安価 であること、また20V程度の動作電圧で駆動できるこ と、さらに帯域としては1.5GH2程度を有している こと等の特徴を有している。

【0003】図6に、典型的なSiのPIN-PDの構 造図を示す。この構造は、リーチスルー型と呼ばれるものできます。 のである動作原理は、逆バイアスを印加すると空乏層 が、n<sup>+</sup> /p<sup>-</sup> (i) 界面から基板側に伸びる。その空 乏化したSi光吸収層12で発生した光キャリアのう ち、電界により正孔がp電極側に、電子がn電極側に走 行、その後電極に到達して電流となることで光電変換が なされる。

## [0004]

【発明が解決しようとする課題】プラスチックファイバ ーのコア径は600μπ 程度あり、受光素子の受光径と しては、500μm φ以上が求められる。しかしなが

ら、500 um o以上のように大受光径化した場合、素 子の容量が増大し、素子の帯域はCR時定数に制限さ れ、高速特性を得ることとができなかった。

【0005】またSiのPIN-PDでは、図6に示し たようにホモ接合構造であり、表面再結合と表面高濃度 層内での光励起ー再結合により外部量子効率が劣化す る。これは、特に短波長になるほど、顕著になる。更 に、 0. 6 μm 光に対する Siの吸収係数が小さいため に、光吸収層を厚くする必要があり(例えば、10~2 Oμm)、これより走行時間律速による帯域制限が生じ ている。

【0006】本発明の目的は、0.6 μm 帯光に感度を 有するPIN-PDにおいて、大受光径・髙量子効率・ 広帯域のPIN-PDを提供することである。

#### [0007]

【課題を解決するための手段】本発明の半導体受光素子 は、半導体基板上に光吸収層を積層して形成する半導体 受光素子において、前記半導体受光素子の構造内に2つ 以上のpn接合を有することを特徴とする。また、前記 IN型フォトダオード (PIN-PD) に関するもので 20 半導体受光案子は光吸収層が 0. 6 μm 帯光に感度を有 するGaAsで形成することを特徴とする。また、前記 半導体受光素子はウインドー構造を持ち、表面再結合を 抑制する前記ウインドー構造がAlGalnPで形成さ れていることを特徴とする。また前記半導体受光素子は GaAs光吸収層とAlGaInP窓層との間にAlG a As層を配置したことを特徴とする。

# [0008]

【作用】図1は、本発明の半導体受光案子の作用を説明 するための図であり、図1 (a) は素子構造の概略図で あり、図1 (b) はその等価回路をしめす。図1 (a) に示す案子構造のようにp\*ーi-n-p\*となるよう に各層を積層し、pn接合を2箇所もうける。これによ り容量が2カ所で直列に生じる。図1(b)に示す等価 回路ではIpは光吸収層で発生した光電流、C1は光吸 収層の静電容量、R1は2つの容量を接続するn層の抵 抗、R2は順バイアスされるダイオードの抵抗で、上記 光電流に依存する。C2は順バイアスされるダイオード の静電容量である。Csは寄生容量、RLは負荷抵抗と なっている。

40 【0009】大受光径の素子の場合、CR時定数制限に より帯域が制限される。帯域 f は、f = 1/(2 π C R) で表されるが、負荷抵抗50Qの場合、素子容量が 3 p F での帯域は約1 G H z 程度であるが、本発明では 上記の本発明3の案子の等価回路に示すように容量が直 列に配置することにより容量を1/2程度まで低減する ことが可能であり、この場合上記帯域計算例の1GHz に対し、同受光径において2GHzを得ることができ る。即ち、CR制限の帯域を2倍に拡大することが可能

【0010】さらに、光吸収層に化合物半導体材料であ

るGaAsを用いることにより、光吸収係数の改善と光 吸収層薄膜化による帯域改善を図ることができる。

【0011】図2はSiとGaAsの光波長と吸収係数 の関係を示している。図2から分かるように、0.67 um 光に対するSiの光吸収係数が3000cm<sup>-1</sup>程度で あるのに対し、GaAsにおいては、20000cm-1と 約7倍の吸収係数を有していることが分かる。よって、 原理的には、同じ外部量子効率を得るためには、GaA sの場合、Siの膜厚の1/7で良いことが分かる。こ の光吸収層の薄膜化は、キャリアの走行時間短縮と比例 10 関係にあるので、PIN-PDの帯域は大幅に改善され

【0012】図3は、半導体受光素子のバンド構造と光 吸収分布を示す。図3(a)は、GaAs光吸収層が表 面に露出した素子のバンド図であり、図3(b)は、再 結合防止用にAlGalnP窓層が配置されたときのバ ンド図である。

【0013】また、各々の素子における光吸収分布も合 わせて示している。図3 (a) の場合、p<sup>+</sup> - i - n<sup>+</sup> よるフォトキャリアのほとんどは表面欠陥等のトラップ に捕獲、あるいは、p\* 中性領域での再結合により光電 流に寄与しない。 O. 6 μm 光を受光する場合、表面近 傍での吸収が大きく、よって量子効率が小さくなる。

【0014】一方、図3(b)のように、表面側にワイ ドギャップの窓層を配置した場合、0.6μm 光は窓層 では吸収されず、GaAs層でのみ吸収される。そのう え、GaAs層で発生したフォトキャリアは、(a)と 比べて中性領域での光吸収が無く、且つ、ヘテロ界面で の再結合の影響は比較的少ないため、外部量子効率を大 30 幅に改善することができる。

【0015】図4は、GaAs光吸収層とAlGaIn P窓層との間にAlGaAsパイルアップ防止層を配置 したときのバンド図を示す。GaAs光吸収層で発生し たフォトキャリアの内、電子はn側電極側に、正孔はp 側質極側に走行するが、正孔に関してはAIGaInP 窓層との価電子帯エネルギー差が 0.2 e V程度あるの で、正孔パイルアップが生じて素子の帯域を劣化させて しまう。そこで、図4のように光吸収層と窓層の禁制帯 幅の中間値程度の禁制帯幅を有するAIGaAsパイル 40 アップ防止層を配置すると、正孔が感じる障壁の高さが O. 1 e V×2となり、パイルアップ現象が緩和され る。これより、更に帯域を改善することができる。

【実施例】本発明の実施例について、図面を用いて詳細 に説明する。図5は、本発明の実施例のPIN-PDの 断面図である。構造としては、まず、p型GaAs (1) 00) 基板4上にn<sup>+</sup> 型GaAsバッファ層2 (n=1 ×10<sup>18</sup> cm<sup>-3</sup>) を 0. 3 μm 、n ー型G a A s 光吸収層 3 (n=1×10<sup>15</sup>cm<sup>-3</sup>) を5 μm 、n-型AlGaA 50 13 SiO2 パッシベーション膜

sパイルアップ防止層 6 (n=1×10<sup>15</sup>cm³) を10 OA (オングストローム)、n型AlGaInP窓層5  $(n=2\times10^{16}\,\text{cm}^{-3},\ \lambda_g=600\,\text{nm})$  を $1\,\mu\text{m}$  積層 する。その後、p<sup>+</sup> 型受光領域7 (p=5×10<sup>18</sup>c m<sup>-3</sup>) は、Cd3P2を拡散源とした570℃でのCd 拡散により作製した。pn接合径は500μmとした。 さらに、パッシベーション膜として表面にSiNx 膜8 を800A (オングストローム) 堆積させ、基板p側電 極10として、AuZnを500A(オングストロー ム)、TiPtAuを2000A(オングストローム) 堆積する。また、受光領域p側電極10として、AuZ nを500A(オングストローム)、TiPtAuを2 00.0A(オングストローム) 堆積することにより、素 子構造を完成する。

【0017】上述した素子構造のもとで、作用に述べた 原理により、帯域4GHz、外部量子効率90%のPI N-PDを実現した。また本案子の動作電圧は5Vであ

【0018】本発明による素子構造は、具体的には、M ホモ接合であるので、p<sup>+</sup> 表面層近傍で吸収された光に 20 OVPE、MBE、ガスソースMBE等の成長技術によ り、作製することができる。

#### [0019]

【発明の効果】本発明により、0.6μm 帯の光通信に 使用されるPIN-PDにおいて、受光径500μm φ、且つ、帯域3GHz以上の高速特性を有する高量子 効率な素子を提供することができる。

#### 【図面の簡単な説明】

【図1】本発明の実施例の素子構造の概略図とその等価 回路図である。

【図2】SiとGaAsの光波長と吸収係数の関係を示 しめす図である。

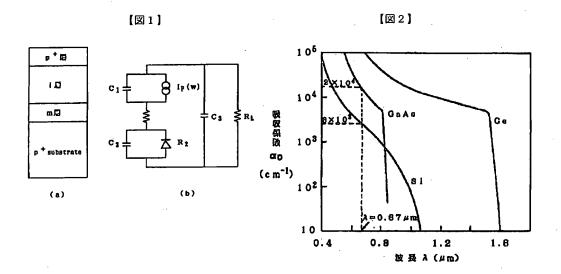
【図3】半導体受光素子のパンド構造と光吸収分布を示 す図である。

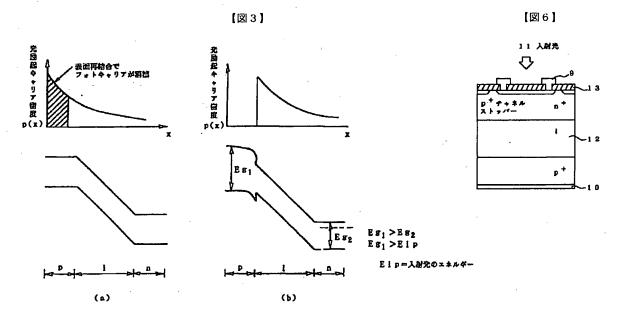
【図4】本発明の実施例のバンド図である。

【図5】本発明の実施例を説明するための構造図であ

【図6】従来例のSiのPIN-PDの構造図である。 【符号の説明】

- 2 n<sup>+</sup>型GaAsバッファ層
- 3 n<sup>-</sup>型GaAs光吸収層
- 4 p型GaAs基板
- 5 n型AlGaInP窓層
- 6 n<sup>-</sup>型AIGaAsパイルアップ防止層
- p\*型受光領域
- 8 SiNx パッシベーション膜
- n側オーミック電極
- 10 p側オーミック電極
- 11 入射光
- 12 Si光吸収層





11 入射光 11 10 5 6

【図5】



